

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001338976 A**

(43) Date of publication of application: **07.12.01**

(51) Int. Cl.
H01L 21/768
H01L 21/316
H01L 27/108
H01L 21/8242

(21) Application number: **2000156773**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **26.05.00**

(72) Inventor: **WATAYA HIROFUMI**

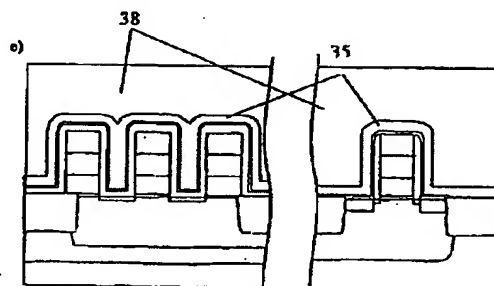
**(54) MANUFACTURING METHOD OF
SEMICONDUCTOR DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To perform nice embedding of low temperature and minute clearance of a coating process and coating separation prevention in a posterior process, for instance, in a logic memory mixed loading device or the like.

SOLUTION: The manufacturing method of a semiconductor device performs a first process for forming an insulation film by thermal CVD (chemical gas growth) on a board having on a surface a recess part made by patterning when, for instance, a BPSG film is coated and a second process forming the insulation film by thermal CVD (chemical gas growth) under pressure lower than the first process in order without continuously breaking vacuum and without interrupting the supply of a raw gas in a process from the first process to the second process.

COPYRIGHT: (C)2001,JPO



38:BPSG膜

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-338976

(P2001-338976A)

(43) 公開日 平成13年12月7日 (2001.12.7)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト* (参考)

H 0 1 L 21/768
21/316
27/108
21/8242

H 0 1 L 21/316
21/90
27/10

X 5 F 0 3 3
K 5 F 0 5 8
A 5 F 0 8 3

6 2 1 C

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号 特願2000-156773 (P2000-156773)

(22) 出願日 平成12年5月26日 (2000.5.26)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 綿谷 宏文

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100108187

弁理士 横山 淳一

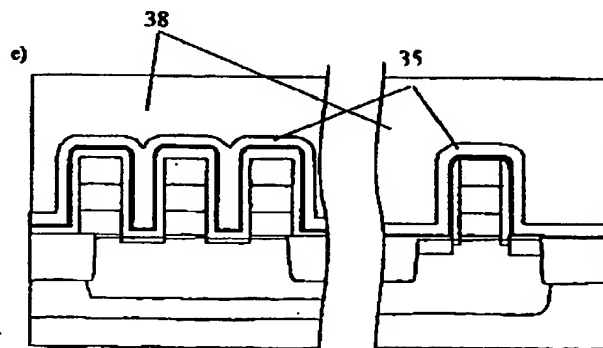
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 例えばロジック・メモリ混載デバイス等においても、被膜工程の低温化と微細な隙間の綺麗な埋め込み、後の工程での被膜剥離防止を兼ね備えることを課題とし、

【解決手段】 例えばBPSG膜の被膜の際に、パターニングされてできる凹部を表面に有する基板上に、絶縁膜を熱CVD（化学気相成長）形成する第一の工程と、第一の工程を通して前記絶縁膜が前記凹部を実質的に埋めた後に、前記第一の工程におけるよりも低い圧力下で、絶縁膜を熱CVD（化学気相成長）形成する第二の工程とを、前記第一の工程から前記第二の工程に至る過程で、用いる原料ガスの供給を中断しないで、連続的にかつ真空を破ることなく順に行う半導体装置の製造方法。



38: BPSG膜

【特許請求の範囲】

【請求項1】 パターニングされてできる凹部を表面に有する基板上に、絶縁膜を熱CVD（化学気相成長）形成する第一の工程と、

第一の工程を通して前記絶縁膜が前記凹部を実質的に埋めた後に、前記第一の工程におけるよりも低い圧力で、絶縁膜を熱CVD（化学気相成長）形成する第二の工程とを、前記第一の工程から前記第二の工程に至る過程で、用いる原料ガスの供給を中断しないで、連続的にかつ真空を破ることなく順に行う半導体装置の製造方法。

【請求項2】 前記絶縁膜中には、B（ボロン）とP（リン）とがともに含まれてなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記絶縁膜は、第一の工程での成長圧力が600Torr以上、第二の工程での成長圧力が600Torr以下であって、かつアルコキシシランおよび前記導電性不純物のアルコキシル化合物およびオゾンによる成膜を特徴とする請求項1乃至2記載の半導体装置の製造方法。

【請求項4】 前記絶縁膜を750℃以下の水蒸気含有雰囲気中で加熱リフローすることを特徴とする請求項1乃至2記載の半導体装置の製造方法。

【請求項5】 前記絶縁膜を形成する方法において第一の工程での成長膜中の前記B（ボロン）と前記P（リン）との総量の濃度を24mol%以上とすることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項6】 （1）ゲート電極とゲート電極側壁および導電層及びフィールド絶縁膜を覆う絶縁膜で形成される隙間を埋め込むように、酸素を含むシリコン系絶縁膜を被着形成する工程と、（2）前記絶縁膜中に基板コンタクトを行うためのコンタクト窓を形成する工程と、

（3）前記コンタクト窓内に、コンタクト電極を埋め込む工程と、（4）前記コンタクト電極の上に、窒素を含むシリコン系絶縁膜を形成する工程と、（5）前記シリコン系絶縁膜の上に、高融点金属を含む電極を形成する工程と、（6）不活性ガスを成長ガス中に含まない高密度プラズマCVD法を用いて、前記電極上に、酸素を含むシリコン系絶縁膜を形成する工程とを順に有する半導体装置の製造方法。

【請求項7】 前記工程（4）において、ストレスが 1.5×10^9 dyns/cm²以下で屈折率1.5以上のシリコンリッチなプラズマ酸化膜とすることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記工程（5）において、前記電極形成のためのエッチング後またはエッチング後処理としての薬液および水洗処理後に800℃以下、窒素雰囲気中でRTA（ラピッド・サーマル・アニール）処理を行うことを特徴とする請求項6記載の半導体装置の製造方法。

【請求項9】 キャパシタ電極とキャパシタ絶縁膜とか

らなるキャパシタ構造体をパターニング形成する工程と、500℃以下の成長温度とし、かつ不活性ガスを成長ガスに含めずに、前記キャパシタ構造体が埋没するように、前記キャパシタ構造体表面を含む基板の全面に高密度プラズマCVD法によって、酸素を含むシリコン系絶縁膜を形成する工程とを有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造技術に関する。特に、パターニングしてできる凹凸面を含む全面に絶縁膜を被着形成する工程を含んでなる半導体装置の製造技術に関する。

【0002】

【従来の技術】図1～図8を引用しつつ、従来のDRAM/ロジック混載型半導体デバイス（以下において、DRAM/ロジック混載型半導体デバイスのことを単に「混載型半導体装置」とか「DRAM&ロジック」と称する。）の製造工程を順に説明し、上記の問題の具体的な解説に移る。

図1（a）参照。

【0003】図1は、従来の混載型半導体装置の製造工程途中の断面図（工程a，b）である。図1（a）中、シリコン基板1の素子分離絶縁膜2で画定された能動領域内には、n型ウェル5，6が形成され、n型ウェル5の中には、p型ウェル7が形成される。さらに、同じシリコン基板1の活性領域3，4内には、MOSトランジスタのゲート電極10，11，12，13が、例えば、ポリシリコン膜とタングステンシリサイド膜と窒化シリコン膜とを順次積層してパターニング形成される。同じMOSトランジスタのソース・ドレイン領域15，16は、浅くp型ウェル7内に設けられる構成である。なお、割愛して図示されている中央部を挟んで図面の左寄りがDRAM部であり、図面の右寄りがロジック部である。

図1（b）参照。

【0004】次に、ゲート電極10，11，12，13の表面を含め、全面を覆うように、窒化シリコン膜20を形成し、続いてDRAM部（図面の左寄り）上だけをレジストでカバーし、ロジック部（図面の右寄り）上をレジストでカバーすることなく露出させて、この窒化シリコン膜20をドライエッチングを使ってエッチバック除去し、この際残余の窒化シリコン膜によりロジック部のゲート電極10側面にだけサイドウォールスペーサ25を形成する。その後、マスクとしたレジストを残したままで、ロジック部の基板面に対してソース・ドレイン用のイオン注入を行い、ソース・ドレイン領域26をロジック部（図面の右寄り）活性領域に対してだけ選択的に形成する。次いで、マスクとして用いたレジストを剝離し、図1（b）に示す構造となる。

図2（c）参照。

【0005】続いて、前記したロジック部ソースドレイン領域の表面に選択的かつ自己整合的に、公知の手法を用いてコバルトシリサイド(CoSi)膜30をサリサイド形成する。続いて、後の工程でのコンタクト窓開口部のストップとして用いるための窒化シリコン膜33を薄く基板の全面に被着形成し、図2(c)に示す構造となる。

図2(d)参照。

【0006】さらに、前記窒化シリコン膜33上に、全面的にBPSG膜35をCVD(化学気相成長)法を用いて形成すると、DRAM部(図面の左寄り)ではゲート電極間隔が狭くスリット状であるため、ボイド34が発生しがちになる。

図3(e)参照。

【0007】続いて、BPSG膜を加熱リフローして、ボイド34を消滅させる。BPSG膜は比較的低温で容易にリフローできることが有利点として知られるが、それでも確実なボイド34消滅化のためには800℃以上のアニールを施す必要が生じる。この温度に関しては、課題点として後に詳しく述べる。

図3(f)参照。

【0008】次に、BPSG膜に対して基板の活性領域にまで到達するように、ドライエッチングによってコンタクトホール36、37を開口し、これらのコンタクトホール36、37内には、導電体からなるコンタクト電極40、41を形成する。

図4(g)参照。

【0009】さらに、酸化シリコン膜45を均一な厚さに全面に形成し、続いて、この酸化シリコン膜45中に設けた開口を通してコンタクト電極40、41と電氣的に接続するようビット線47をパターンニング形成する。ビット線47の下には薄くチタンとチタンナイトライドが順次積層された膜が敷かれる。

図5(h)参照。

【0010】さらに、前記ビット線47表面を含み全面に窒化シリコン膜49を被着形成する。プラズマCVD(化学気相成長)法を用いてビット線47上にプラズマ酸化膜48を堆積する際、アルゴンガスのスパッタ作用によって窒化シリコン膜49が削れタングステンが表出し、これがプラズマCVD工程において用いるプラズマにさらされるので、タングステン表面は酸化され、図示される如くに、タングステン酸化物44が形成されてしまう。続いて、プラズマ酸化膜48を全面に被着形成する。

図6(i)参照。

【0011】続いて、プラズマ酸化膜48中に、ビット線47と接続していないコンタクト電極41表面が露出するように、深いコンタクト窓をドライエッチングにて開口し、さらにこのコンタクト窓内を埋めるようにアモルファスシリコンプラグ50を形成する。

図7(j)参照。

【0012】次いで、前記したアモルファスシリコンプラグ50と接続するようにメモリセルキャパシタを形成する。この工程は、先ずプラズマ酸化膜48上に蓄積電極51の材料層を全面形成しパターンニングして蓄積電極51とし、続いて、蓄積電極51を含む全面に誘電体層52の材料層を形成しパターンニングし、重ねて対向電極53の材料層を全面形成し、パターンニングすることで、メモリセルキャパシタ構造を形成する。続いて、メモリセルキャパシタ構造を含み全面にプラズマ酸化シリコン膜58を十分厚く形成し、図7(j)の構造が完成する。

図8(k)参照。

【0013】次に、メタル多層配線層の形成工程へと移行する。

【0014】前の工程で被着形成したプラズマ酸化シリコン膜58表面からロジック部(図面の右寄り)活性領域に達するまで、深くコンタクト窓60を開口する。ドライエッチングをフォトリソグラフィ法に組み合わせて行う汎用される手法を用いてコンタクト窓60は開口できる。開口工程の後、このコンタクト窓60の内面から外部のプラズマ酸化シリコン膜58表面に延在するように、全面にバリアメタル層61を薄く被着形成し、さらに、導電膜を埋め込み形成して、配線層とすれば良い。以上が従来技術の概要である。

【0015】ところで、このような従来技術には、いくつかの問題点が見つかるので、それらを以下において順に解明してゆく。

【0016】先ず、図2(d)を用いて説明したBPSG膜の被着形成工程では、成膜途中の圧力を比較的高くすることでボイドを成膜当初からできるだけ小さくすることが試みられてはいるが、圧力を高くすればそれに伴って成膜レートが下がることが知られており、厚い層間絶縁膜となるBPSG膜をこのような低成膜レートで形成することは生産性が低くて、量産工程に適用できるものではない。一方、量産適用しようとして、最初から成膜レートを高くすれば、大きく残ったボイドは十分な加熱リフロー工程の追加で消滅しようとすることも考えられるが、BPSG膜を十分に加熱リフローすることは以下のような問題を引き起こすので、好ましくない。

【0017】その1)後工程での窓開け用ドライエッチングの際のエッチストップとして窒化膜が汎用されるが、窒化膜の直上乃至直下にBPSG膜が配置され互いが接すると両者の間の応力差が大きく両膜中にストレスが蓄えられて、両膜中にクラックやバブル状欠陥が発生する。

【0018】BPSG膜とプラズマ窒化シリコン膜とを直付けするとプラズマ窒化シリコン膜中にクラックが生じることが知られており、その対策としてBPSG膜とプラズマ窒化シリコン膜とを順に積層する際には、界面

に緩衝膜を設けることが知られている。ところが、BPSG膜、緩衝膜、プラズマ窒化シリコン膜を順に形成すると、全体的に膜がコンプレッション、すなわち圧縮応力が働いて中央部が上に凸気味に歪む。続いて、この層構造を熱が加わると、全体的に膜はテンシルストレス、すなわち引っ張り応力が働いて中央部が下に凸気味に歪む。この時、BPSG膜は加熱の影響を受けて軟化している。続いて、再び層構造を冷まし元の温度に戻したところ、降温時に、プラズマ窒化シリコン膜にはテンシルストレス（引っ張り応力）が生じ、BPSG膜にはコンプレッションストレス（圧縮応力）が生じ、BPSG膜中に過大な応力差が生ずる。このような熱履歴に絡んだストレスは、緩衝膜によって増幅される傾向にあり、軟化状態から固まるまでの間にBPSG膜内部にバブルが発生して、冷熱時にこれが膜中に残ってしまうという問題がある。

【0019】その2）また、長時間の加熱リフローは、活性領域やゲート電極等への良からぬ不純物拡散という悪影響もある。アスペクト比（深さの対間口幅比）が1以下の浅く間口の広いコンタクト窓の場合ならば、BPSG膜はボイドを解消する目的での高温リフローを要せずとも埋め込みはできるのが一般であり、膜の緻密化の目的で、せいぜい700℃程度の加熱を施しておけばそのまま層間絶縁膜として用いることができる。しかしながら、デバイスの微細化、高集積化に伴い、アスペクト比が1を越えるような深くて間口が狭いコンタクト窓の使用が不可避となるに至り、ボイドを消すにはいっそう加熱リフローを長く行わねばならず、同時に不要な不純物拡散が起こる素子領域自体も微細化しているので、加熱リフローによる不純物拡散の悪影響は計り知れない。

【0020】以上が加熱リフローに起因した問題であるが、これらを解消しようとして、凹部埋め込み完了時まではボイドが小さくなるように高い圧力でゆっくり埋め込み、次いで十分厚く形成する際には低い圧力で高堆積レートで被着形成することも考えられる。ところが、このような手法をBPSG膜のように導電性不純物を含む絶縁膜の熱CVD形成に採用すると、最初の高圧工程での被膜分と後の低圧工程での被膜分との境界部、すなわちBPSG膜の途中に、明瞭な界面層ができる。このような界面層が形成された後、層間絶縁膜となるBPSG膜にはBPSG膜より下の基板内の活性領域と電気的に接続すべく形成する配線を通すためのコンタクト窓を開口するが、開口後コンタクト窓内にいきなり配線層を被着形成するのではなくて、窓の底面を一旦清浄化すべく薬液にさらして軽くウェットエッチングする。この工程で用いる薬液（エッチャント）が窓の側面から前記の界面層にしみ込んで後で剥離を起こしがちになる。

【0021】ちなみに、BPSG膜の成膜を水蒸気雰囲気で行えば、比較的低い温度でもリフローできて好ましいが、水蒸気雰囲気下で加熱すれば、タングステン等

の高融点金属を層の一部に用いる場合、水蒸気によるその表面の酸化を防ぐために、耐湿性の高い低圧CVD—シリコン窒化膜（LP—CVD SiN膜）からなるライナー膜を設ける必要が出てくる。ところが、ビット線間に誘電率の高いシリコン窒化膜を設けることは、ビット線間容量を高めて高速動作化の足かせとなる可能性があり、また、シリコン窒化膜からなるライナー膜が細いコンタクト窓の綺麗な開口を阻害するという問題もあり、BPSG膜を水蒸気雰囲気下で行う工程を単純採用することにも技術的に難がある。ところで、BPSG膜に代えて、高密度プラズマを用いた酸化シリコン膜（HDP—SiO₂膜）を用いれば、成膜温度は500℃以下にまで低温化することができる。しかし、HDP—SiO₂膜の成膜に汎用されるSiH₄、O₂、Ar系の成長ガスを用いた製造プロセスでは、成膜に用いたAr等の不活性ガスが後の加熱工程で突如脱ガスし、上に積層する金属材料との界面で剥がれを生じさせてしまう。思考を変えて、BPSG膜の膜中不純物濃度を高めて成膜低温化を目指す方法もあるが、高不純物濃度である分だけBPSG膜の吸湿性が高まるので、自然酸化膜除去等のためのウェットエッチング処理時のエッチャントを吸い易くなり、これが燐玉と呼ばれる燐の水和物を発生しがちで、溶液処理工程を追加し燐玉を確実に除去しなければ、残余の燐玉が異物となってパターン不良を引き起こしかねないという問題もある。

【0022】

【発明が解決しようとする課題】上記のように、導電性不純物を含む絶縁膜の被膜を条件を違えた二工程に切り分ければ加熱リフローの問題は解消できるが、条件変更の際に界面層が形成されてしまい、これが後工程の後、剥離の原因となる問題がある。十分長時間の加熱リフローを行えば、条件切りわけの必要はないから界面層の問題は無くなるが、熱履歴が長い分、膜中にストレスが蓄えられたり、不要な不純物拡散を惹起したり、種々問題が生じてくる。

【0023】以上のような従来技術を取りまく状況を踏まえ、本発明が解決しようとする課題は、導電性不純物を含む絶縁膜を用いても狭小化した間隔を綺麗に埋め込みうる量産適用可能な絶縁膜被膜技術を提供することにある。

【0024】

【課題を解決するための手段】本発明では、上記課題を解決するための手段として、例えば下記の構成を手段とする。

【0025】本発明の第一の手段としては、パターンニングされてできる凹部を表面に有する基板上に、絶縁膜を熱CVD（化学気相成長）形成する第一の工程と、第一の工程を通して前記絶縁膜が前記凹部を実質的に埋めた後に、前記第一の工程におけるよりも低い圧力下で、絶縁膜を熱CVD（化学気相成長）形成する第二の工程と

を、前記第一の工程から前記第二の工程に至る過程で、用いる原料ガスの供給を中断しないで、連続的にかつ真空を破ることなく順に行う半導体装置の製造方法。

【0026】なお、上記第一の手段において、前記絶縁膜中には、B（ボロン）とP（リン）とがともに含まれてなることとして良い。また、前記絶縁膜は、第一の工程での成長圧力が600Torr以上、第二の工程での成長圧力が600Torr以下であって、かつアルコキシシランおよび前記導電性不純物のアルコキシ化合物およびオゾンによる成膜を特徴とすることとしても良い。さらに、前記絶縁膜を750℃以下の水蒸気含有雰囲気中で加熱リフローすることを特徴とすることとしても良い。さらに、前記絶縁膜を形成する方法において第一の工程での成長膜中の前記B（ボロン）と前記P（リン）との総量の濃度を24mol%以上としても良い。

【0027】本発明の第二の手段としては、（1）ゲート電極とゲート電極側壁および導電層及びフィールド絶縁膜を覆う絶縁膜で形成される隙間を埋め込むように、酸素を含むシリコン系絶縁膜を被着形成する工程と、

（2）前記絶縁膜中に基板コンタクトを行うためのコンタクト窓を形成する工程と、（3）前記コンタクト窓内に、コンタクト電極を埋め込む工程と、（4）前記コンタクト電極の上に、窒素を含むシリコン系絶縁膜を形成する工程と、（5）前記シリコン系絶縁膜の上に、高融点金属を含む電極を形成する工程と、（6）不活性ガスを成長ガス中に含まない高密度プラズマCVD法を用いて、前記電極上に、酸素を含むシリコン系絶縁膜を形成する工程とを順に有する半導体装置の製造方法。

【0028】上記第二の手段において、前記工程（4）において、ストレスが -1.5×10^9 dyns/cm²以下で屈折率1.5以上のシリコンリッチなプラズマ酸化膜とすることとしても良い。また、前記工程（5）において、前記電極形成のためのエッチング後またはエッチング後処理としての薬液および水洗処理後に800℃以下、窒素雰囲気中でRTA（ラピッド・サーマル・アニール）処理を行うこととしても良い。

【0029】本発明の第三の手段としては、キャパシタ電極とキャパシタ絶縁膜とからなるキャパシタ構造体をパターンニング形成する工程と、500℃以下の成長温度とし、かつ不活性ガスを成長ガスに含めずに、前記キャパシタ構造体が埋没するように、前記キャパシタ構造体表面を含む基板の全面に高密度プラズマCVD法によって、酸素を含むシリコン系絶縁膜を形成する工程とを有する半導体装置の製造方法。

【0030】続いて、本発明の作用・原理につき、以下説明する。

【0031】熱CVD（化学気相成長）法にて導電性不純物含有絶縁膜を被着形成して狭い隙間を埋め込むにあたり、例えば埋め込むまでは圧力を高くし埋め込んだ後には圧力を低くする如くに、プロセス条件を成膜半ばで

変更した場合に膜中にごく薄い界面層が形成されてしまう問題は、導電性不純物を含んでなる絶縁膜、例えばBPSG膜やBSG膜の場合に非常に顕著に現れ、ウェットエッチャントのしみこみによって剥離にまで至るほど深刻である。問題の原因は、ガスを停める際の残留分の組成比がガスを流しての被膜中と大幅に異なることが関連しているのではないかと考えられ、BPSG膜やBSG膜のような導電性不純物含有絶縁膜においては組成が複雑である分、残留ガスによる影響が大きく見えるのだらうと推測される。また、プラズマCVD法の場合には、プラズマが生じないように高周波電源を切ってしまうと成膜条件が整わなくなるので、いかにガスの残留分があろうとも界面層の形成はありえないが、熱CVD法の場合には、ガスを絶つ以前に、他のパラメータの変更で非成膜条件に移行することは実質的に不可能であり、ガスを切ってしまうと界面層の形成は避けられない。そこで、本発明では、成膜原料となるガスを連続的に流しながら圧力だけを変えることで、界面層の形成を防止する。界面層ができないので、後工程で窓開け後にエッチャントがしみ込むこともありえず、したがって剥離を引き起こすことはない。

【0032】以下では、製造工程に沿ってより詳しく説明する。

図9乃至図17参照。

【0033】図9乃至図17は、いずれも本発明の一実施形態に沿った混載型半導体装置の製造工程途中の断面図であり、順に工程に沿って図示したものである。本発明では図9乃至図17に示すようにゲート電極上のサイドウォール膜およびエッチストップ用の窒化シリコン膜で形成される隙間にBPSG膜を形成する際、第1のステップで成長圧力を600Torr以上の高圧力域で、TEOS/O₃比を高く、成長速度の遅い条件で隙間を埋め込めるだけの膜厚を成長し埋め込みを行うことにより、成長後に隙間にできるボイドを解消乃至抑制する。TEOS/O₃比を高く、成長速度を遅くすることにより表面反応律則に近い条件になり、成膜カバレッジが改善される。ただし、上記条件では成長速度が遅いため、スループット向上のため第2のステップで第1のステップよりも成長圧力が低く、成長速度の高い条件で成長する。その後リフロー加熱を行うが窒素および酸素雰囲気中でのアニールでは少なくともアスペクト4以上の隙間に対しては750℃以上の高温が必要である。そこで水分を含む雰囲気中で加熱することにより700℃の温度でリフローさせて埋め込むことが可能となる。水分中のOH基が酸化膜中のネットワーク構造をより低温で切断することにより、より低い温度でBPSG膜がリフローするためと考えている。また第1のステップで成長圧力が高く成長速度の低い条件での埋め込みをおこなわない場合、アスペクト4の隙間に対して成長後に形成されるスリットボイドが大きくなり、上記水分を含む雰囲気での

加熱の場合でも750℃以下のリフローではボイドが残ってしまう。ボイドが発生するとその後形成する基板とのコンタクトプラグ間のショートを引き起こす可能性がある。従って少なくともアスペクト4以上の隙間の埋め込みに対しては、成長条件の連続工程化と水分を含む雰囲気での750℃以下の加熱を条件として具有することが必要となる。上記組み合わせを用いることによりプロセス温度を750℃以下へ引き下げることができ、ゲート酸化膜中へのB（ボロン）の拡散を抑制でき、 V_{th} （しきい値）特性変動を抑制することができる。

【0034】BPSG膜の上層にエッチストップ等の目的でシリコン窒化膜を積層する場合、窒化膜とBPSG膜の膜ストレス差により、窒化膜にクラックが発生してしまう。そのため、BPSG膜と窒化膜の間に緩衝膜が必要となる。緩衝膜に通常のプラズマ酸化膜を用いた場合、BPSG膜上に緩衝膜と窒化シリコン膜等が積層された状態で熱処理を加えると、窒化シリコン膜の大きなストレス変動をBPSG膜が吸収することで、BPSG膜にバブル状の欠陥を生じてしまう。これに対し、緩衝膜の膜ストレスが $-1.5 \times 10^9 \text{ dyns/cm}^2$ 以下のシリコンリッチなプラズマ酸化膜の場合には、熱処理後のBPSG膜中のバブル状欠陥発生およびクラック発生を抑制できる。

【0035】さらに、DRAM&ロジックのような混載デバイスに対して本発明を適用すれば、なお次のような作用が副次的に得られる。DRAM部でコンタクト窓の中に導電性材料を埋めてビット配線を行う場合には、基板の活性領域との電気的接続を一旦取るコンタクトプラグを設けた後に、このコンタクトプラグにスタックビアを通して電気的接続を中継ぎして、基板の活性領域からの電気的接続とするのが一般である。したがってDRAM部では高いアスペクト比の深いコンタクト窓を一気に基板の活性領域に達するまで開口する必要が元々無く、開口時のドライエッチングのためにエッチストップを要せずとも、ジャンクションリークを増大させてしまう問題はおこり得ない。しかしながら、ロジック部を基板内に同居させるDRAM&ロジック混載デバイスではちょっと事情が違って来る。混載デバイスでは、ロジック部で低抵抗化のためにコバルトシリサイド（CoSi）等のシリサイドを使用するならば、ビット線形成時に基板の活性領域とのコンタクトをとった後で、DRAM部ではキャパシタ工程で長い高温熱処理を要するのが災いしてコバルトシリサイド（CoSi）とコンタクトメタル（Ti/TiN/Wの順次積層膜）のコンタクト抵抗が上昇してしまう問題が発生する。コバルトシリサイド（CoSi）とのコンタクトは一般的に熱的安定性が乏しいことが知られ、したがってスタックキャパシタを採用する構造を採用する以上は、深いコンタクト窓で一気に直に基板の活性領域とコンタクトをとる構造が必要になる。

非常にアスペクトの高いコンタクト窓を形成しなければ

ならないため、コバルトシリサイド（CoSi）コンタクト部でのオーバーエッチングによるジャンクションリーク増大を防ぐためにストップの窒化シリコン膜（SiN）が必須となる。しかしながらストッパーを使う以上、DRAM部にも同様にSiN膜が積層されるためよりDRAM部のギャップが狭くなり、埋め込みが厳しくなる。本発明によれば、DRAM&ロジック混載デバイスのように、埋め込み条件が厳しくかつ高温熱履歴を残せない場合でも、歩留りを悪化させずに良好な特性のデバイスを完成できるという点、効果が高い。

【0036】

【発明の実施の形態】再び、図9乃至図17参照。

【0037】以下、図9乃至図17を順次引用しながら、DRAM&ロジック混載デバイスで適用した場合を例として製造工程を順に説明する。

図9参照

工程（a）において、例えば、シリコン基板1上に初期熱酸化膜（I-Ox）として5nm成長後、熱窒化シリコン膜（LP-SiN）100nmを成長する。続いて、フォトレジストを用いてパターンニングし、ドライエッチングにより熱窒化膜（LP-SiN）をエッチングする。アッシャーによりレジスト除去後、パターンニングされた熱窒化シリコン膜（LP-SiN）をハードマスクにしてシリコン部をトレンチエッチングする。エッチング深さは一例として400nmとする。トレンチ側壁を熱酸化膜で10nm成長後、HDP酸化膜2を700nmでSiトレンチ部を埋め込む。HDP酸化膜2の埋め込み条件は一例として $\text{SiH}_4/\text{O}_2/\text{He}=150/300/325\text{sccm}$ にて成長を行う。その後、CMP（化学機械的研磨）を用い、LP-SiNをエッチストップにしてSiN上のHDP酸化膜を除去して平坦化をおこない、シャロートレンチアイソレーション（STI；素子分離絶縁膜）2とする。さらに、前記素子分離絶縁膜2で画定されたシリコン基板1表面に導電性不純物を導入して、p型ウエル5、n型ウエル6、p型ウエル7を作りつける。図1等の場合に準じて、図面の右寄りがロジック部であり、図面の左寄りがDRAM部である。さらに、ポリシリコン（Poly Si）100nm、タングステンシリサイド層（WSi）100nm、高温熱酸化膜（HTO）100nmを順次基板の全面に積層した後、フォトレジストをマスクに用いたドライエッチングにより、これらの積層をパターンニングし、ゲート電極とする。ゲート電極パターンニングに続いて、LDD形成のため、nチャネルトランジスタを形成すべくロジック部ゲート電極10をマスクに砒素（As）を導入し、また、pチャネルトランジスタを形成すべくDRAM部ゲート電極11、12、13をマスクに硼素（B）を導入すべく、それぞれイオン注入する。こうして、ロジック部活性領域4にはソース・ドレイン領域15が形成され、DRAM部活性領域3にはソース・ドレイン領域16が形成される。

続いて、図9参照。

【0038】工程(b)において、ゲート電極上に熱窒化シリコン膜(LP-SiN) 2060nmを前記ゲート電極表面を含む全面に形成する。DRAM部(図面の左寄り)ではSAC(セルフアラインコンタクト)エッチングでの電氣的短絡対策のためサイドウォールエッチバックは行わず、フォトリジストをマスクとして用いてパターンニングを行うことで、ロジック部のみサイドウォールエッチバックを行う。こうして、DRAM部ではゲート電極は完全に熱窒化シリコン膜20に覆われ、一方ロジック部ではゲート電極側面にのみサイドウォールスペーサ膜25が残る構造ができる。次に、サイドウォールスペーサ膜25をマスクとして、ロジック部には選択的にソース・ドレイン領域26を形成する。

図10参照。

【0039】工程(c)において、先ずシリコン基板表面が露出したロジック部のソース・ドレイン領域表面に選択的にコバルトシリサイド(CoSi)をサイサイド形成するため、コバルト(Co)をターゲットに用いてスパッタリングにてコバルト(Co)膜を基板全面に10nm形成し、500℃のRTA(ラピッド・サーマル・アニール)処理により基板をなすシリコンと化合させてコバルトシリサイド(CoSi) 30を形成する。RTA(ラピッド・サーマル・アニール)処理は、例えば、窒素(N₂) 10%/minの雰囲気にて500℃、30sec間行う。続いて、DRAM部のSACエッチングの際のストッパ膜となる窒化シリコン膜およびコバルトシリサイド(CoSi)とのコンタクト窓形成時のエッチングストッパとして25nmの熱窒化シリコン膜(LP-SiN) 33を形成する。この熱窒化シリコン膜(LP-SiN) 33は、ロジック部のトランジスタ特性の確保のために、サーマルバジェットの低減が必要であり、700℃の成長温度、SiH₄/NH₃/N₂の系にて縦形炉を用いて形成する。熱窒化シリコン膜(LP-SiN) 33の25nmという厚さは、層間膜のばらつきによる局所的なオーバーエッチによる掘られを防ぐために必須となっている。上記熱窒化シリコン膜(LP-SiN) 33により、サイドウォールエッチバックをおこなわないDRAM部においてのゲート電極間の最小ギャップは、例えば幅70nmである。ギャップ部分のアスペクト比(窓の深さの対窓幅比)はゲート電極の高さ300nmに対して4.2となる。

【0040】次に工程(d)に移って、上記ギャップに埋め込む膜として、BP PSG膜35を先ず100nm形成する。この際の成長条件は、例えばTEOS/TEP/TEOB=300/80/35mgm, O₃/He=4000/6000sccm, 成長圧力600Torr, 成長温度480℃、硼素(B)、リン(P)の濃度はそれぞれ4.0wt%, 5.0wt%にて行う。その時の成長速度は60nm/minである。

図11参照。

【0041】続いて、工程(e)では、BP PSG膜38を条件を換えて900nm形成する。成長条件は、例えばTEOS/TEP/TEOB=600/195/47mgm, O₃/He=4000/6000sccm, 成長圧力200Torr, 成長温度480℃、硼素(B)、リン(P)の濃度はそれぞれ4.0wt%, 5.0wt%にて行う。その時の成長速度は350nm/minである。この状態では成長時にできゲート間の両サイドから形成される合わせ目が残った状態となっている。その後炉を用いて700℃の水蒸気雰囲気中で20min間のリフロー加熱処理を行う。リフロー加熱の条件は、例えば縦形拡散炉を用い、水素(H₂) 10%/min, 酸素(O₂) 5%/minをパイロジェニックを用いて水蒸気(H₂O)雰囲気、700℃の条件にて行う。前記リフロー加熱処理により合わせ目が接着される。また前記低温領域でリフローを生じさせるために硼素(B)、リン(P)の総量で計った濃度を24mol%以上にすることが必要となる。前記したBP PSG膜35成膜の工程(d)で被膜性が悪いとボイドが大きくなり、上記した最善の条件にしたがってもボイドをなくすことはできない。その後CMP(化学機械研磨)プロセスを用いて平坦化をおこない、図11に示す構造が出来上がる。

図18参照。

【0042】図18は、熱CVDによるBP PSG膜形成中の圧力と成膜レートとの関係を示す図であり、横軸に成膜中の圧力(Torr)、縦軸に成膜レート(nm/分)を取り、その変化を示すグラフである。この図18に示されるとおりに、成膜レートは低圧条件ほど高く、また高圧条件ほど低い傾向にあるが、圧力600Torr以上では、圧力を増加させても成膜レートはあまり変化しない。なお、成膜レートの増減と隙間にできるボイドの大小は負の相関関係にあるので、縦軸をボイドの大小(縦軸上をボイド大、縦軸下をボイド小)に置き換えても図18のグラフと同様の傾向が認められる。

図12参照。

【0043】次に、工程(f)に移って、BP PSG膜37の平坦な表面にはフォトリジストを塗布形成する。このフォトリジストを公知のフォトリソグラフィ技術を用いてパターンニングしマスクとして用いて、DRAM部のみ窒化シリコン膜(SiN)をストッパにしてコンタクト窓36, 37をドライエッチングして開口する。

【0044】続く、工程(g)では、CVD法を用いて導電性ポリシリコン(Poly-Si)を前記コンタクト窓36, 37内に埋め込み、基板との電氣的コンタクトを行う。導電性ポリシリコンは、前記コンタクト窓36, 37を埋め込んで余り有る十分な厚さに一旦は形成し、その後、CMP(化学機械的研磨)工程を経て、BP PSG膜38表面と表面が連続するように、エッチバックしてポリシリコンプラグ40, 41とする。

図13参照。

【0045】工程(h)では、前記までの工程での残余の構造の表面に、プラズマCVD(化学気相成長)法を用いて、酸化シリコン膜45が全面形成される。この膜は、BPSG膜のバブル状欠陥抑制のため、膜ストレスが -1.5×10^9 dyns/cm²以下、屈折率が1.5以上である必要がある。成長条件は、例えばSiH₄ 154 cc/min, N₂ 3800 cc/min, N₂O 3800 cc/min, 400kHz LFパワー90W、13.56MHz HFパワー300W、成長圧力1.6Torr、成長温度400℃。

【0046】その後、レジストマスクを用いて前記ポリシリコンプラグと電氣的に接続するためのコンタクト窓を、酸化シリコン膜45中に形成する。その後、スパッタリング法を用いて形成されるチタン(PVD-Ti) 20nm、CVD法を用いて形成されるチタタングステン(CVD-TiN) 20nm、タングステン(W) 100nm、反射防止膜として形成されるシリコン酸化窒化膜(ARC-SiON) 60nmを順次積層する。その後レジストマスクを用いたドライエッチングにて前記積層をパターンニングし、ビット線47とする。

図14参照。

【0047】続く工程(i)では、前記ビット線47上に、熱窒化シリコン膜(LP-SiN)を5nmあるいは800℃以下の窒素雰囲気中でのRTA(ラピッド・サーマル・アニール)処理を60secおこない、チタン

(Ti)およびタングステン(W)表面に窒化シリコン膜49を被着形成する。その後、高密度プラズマを用いた酸化シリコン膜48を750nm形成する。成長条件はSiH₄ 99cc/min, O₂ 237cc/min, 400kHzソースパワー4400W、13.56MHz、基板バイアスパワー2500W、成長温度450℃にて成長を行う。

図15参照。

【0048】次に、工程(j)では、フォトリジストをマスクとして用い、前記したポリシリコンプラグとのコンタクト窓を開口すべく、酸化シリコン膜48をドライエッチングする。このコンタクト窓内にCVD法を用いてポリシリコンを埋め込み下部ポリシリコンプラグと電氣的に接続する。この際には、ポリシリコンをコンタクト窓内を埋め込んで余りある十分な厚さに一旦は堆積し、後でCMP(化学機械的研磨)によって除去してプラグ化する。

図16参照。

【0049】続いて、工程(k)では、蓄積電極51、誘電体膜52、対向電極53を順次パターンニング形成しセルキャパシタ構造体とするが、この際の形成手順は、従来技術の場合と変わらない。続いて、高密度プラズマを用いたCVD法にて、酸化シリコン膜58を2000nm形成する。成長条件はSiH₄ 99cc/min, O₂ 237cc/min, 400kHzソースパワー4400W、1

3.56MHz 基板バイアス パワー2500W、成長温度450℃。

図17参照。

【0050】工程(l)では、基板と配線接続するための深いコンタクト窓60を開口する。コンタクト窓60の開口は、RIE(リアクティブ・イオン・エッチング)にて行えばよい。この後、コンタクト窓60内から酸化シリコン膜58上に延在するように、バリアメタル層61を先ず薄く形成する。次いで、タングステン

(W)層62を厚く形成し、完全に窓を埋める。バリアメタル層61とタングステン(W)層62とからなる積層構造を導電性プラグ63として用いる。

【0051】なお、BPSG膜中に含まれるB(ボロン)およびP(リン)は、それぞれB₂O₃およびP₂O₅という形でBPSG膜中に取り込まれる。BPSG膜が低温でリフローする際の物理機構は、上記の各不純物が膜中に取り込まれることによって膜構造が歪んでより低温で結合が切れ易くなることに依存している。より多くのB(ボロン)、P(リン)の原子を含むことによりリフロー温度の低温化が図れるのはこのためである。本発明を用いてアスペクト比が4以上の隙間を埋め込む場合、埋め込み時の成膜条件が700℃の水蒸気雰囲気で行うものとすれば、B(ボロン)3.7重量%、P(リン)4.7重量%以上の濃度が必要になり、リフロー性を示す指標に重量%ではなくmol%を用いるとすれば、上記換算での総不純物濃度は、24mol%となる。

【0052】以上が、本発明の一実施形態に沿った説明である。なお、上記の実施形態で示した例にこだわらず、本発明には製造工程における条件、材料種等適宜変更が可能である。例えば、最適な実施形態としてDRAMとロジックの混載デバイスを取り上げたが、フラッシュメモリとロジックとの混載デバイスに用いることもできるし、また、設計サイズが異なる複数のロジックブロック同士の混載デバイスであっても同様の効果を得ることはできるであろう。また、DRAM単体であってもロジック単体であっても、本発明を採用することによって基本的な効果を得ることはできるし、フラッシュメモリ単体であってもFRAM単体であっても同様の基本的効果を得ることはできる。

【0053】

【発明の効果】本発明によれば、基板上の能動領域上に設けられる例えば4以上の高アスペクト比の隙間に対して、導電性不純物を含む絶縁膜を最初に高圧、後で低圧になるよう異なる圧力条件で、原料ガスを停めずに連続的に成長すれば、剥離の原因となる界面層の形成を避けることができ、また長時間の加熱リフローが無くても狭い隙間を綺麗に埋めることができ、活性領域や素子の他の要素に対して熱ストレスや必要以上の不純物拡散等の悪影響を及ぼすこともでき、総じて特に微細なデバイスの場合に歩留りや信頼性を向上させることができる。

【図面の簡単な説明】

【図1】従来の混載型半導体装置の製造工程途中の断面図（工程 a， b）

【図2】従来の混載型半導体装置の製造工程途中の断面図（工程 c， d）

【図3】従来の混載型半導体装置の製造工程途中の断面図（工程 e， f）

【図4】従来の混載型半導体装置の製造工程途中の断面図（工程 g）

【図5】従来の混載型半導体装置の製造工程途中の断面図（工程 h）

【図6】従来の混載型半導体装置の製造工程途中の断面図（工程 i）

【図7】従来の混載型半導体装置の製造工程途中の断面図（工程 j）

【図8】従来の混載型半導体装置の製造工程途中の断面図（工程 k）

【図9】本発明の一実施形態に沿った混載型半導体装置の製造工程途中の断面図（工程 a， b）

【図10】本発明の一実施形態に沿った混載型半導体装置の製造工程途中の断面図（工程 c， d）

【図11】本発明の一実施形態に沿った混載型半導体装置の製造工程途中の断面図（工程 e）

【図12】本発明の一実施形態に沿った混載型半導体装置の製造工程途中の断面図（工程 f， g）

【図13】本発明の一実施形態に沿った混載型半導体装置の製造工程途中の断面図（工程 h）

【図14】本発明の一実施形態に沿った混載型半導体装置の製造工程途中の断面図（工程 i）

【図15】本発明の一実施形態に沿った混載型半導体装置の製造工程途中の断面図（工程 j）

【図16】本発明の一実施形態に沿った混載型半導体装置の製造工程途中の断面図（工程 k）

【図17】本発明の一実施形態に沿った混載型半導体装置の製造工程途中の断面図（工程 l）

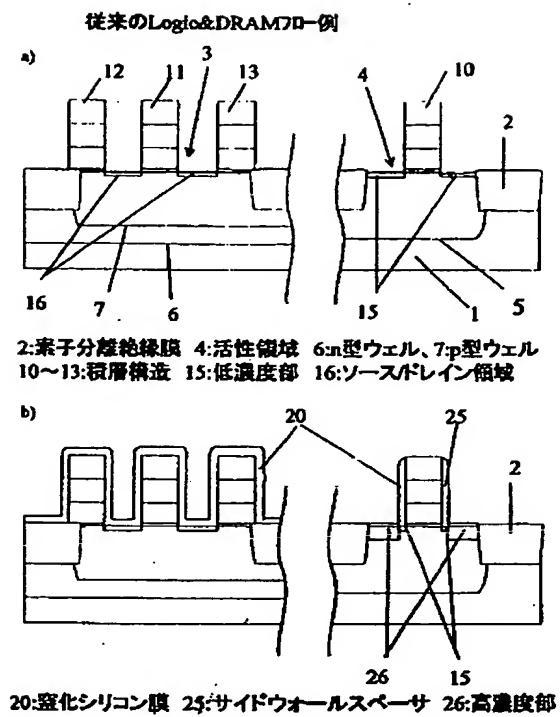
【図18】熱CVDによるBPSG膜形成中の圧力と成膜レートとの関係を示す図

【符号の説明】

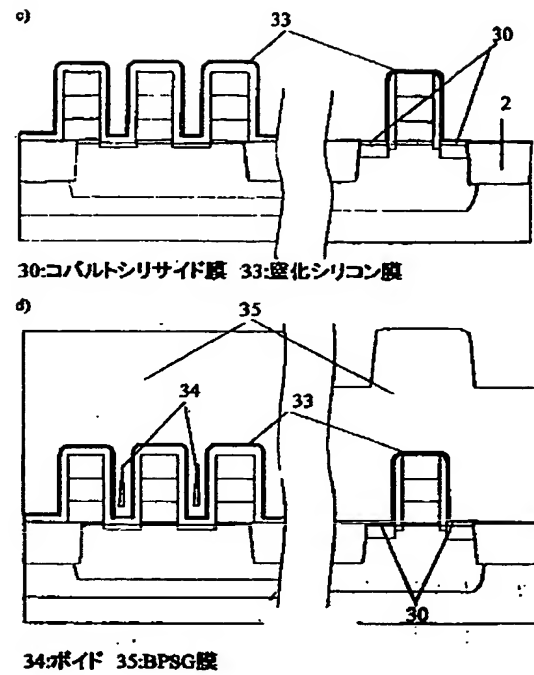
1 シリコン基板

2 素子分離絶縁膜
3, 4 活性領域
5, 6 n型ウェル
7 p型ウェル
10, 11, 12, 13 ゲート電極
15 低濃度部
16 ソース・ドレイン領域
20 窒化シリコン膜
25 サイドウォールスペーサ
26 高濃度部
30 コバルトシリサイド膜
33 窒化シリコン膜
34 ボイド
35, 38 BPSG膜
36, 37 コンタクトホール
40, 41 ポリシリコンプラグ
44 タングステン酸化物
45 酸化シリコン膜
48 プラズマ酸化シリコン膜
46 開口
47 ビット線
49 窒化シリコン膜
50 アモルファスシリコンプラグ
51 ゲート電極
52 誘電体膜
53 セルプレート
55 キャパシタ
58 プラズマ酸化シリコン膜
60 コンタクトホール
61 バリアメタル層
62 タングステン層
63 導電性プラグ
64 チタン層
65 窒化チタン層
66 タングステン層
67 窒化層
68 プラズマ酸化膜
69 プラズマ窒化膜

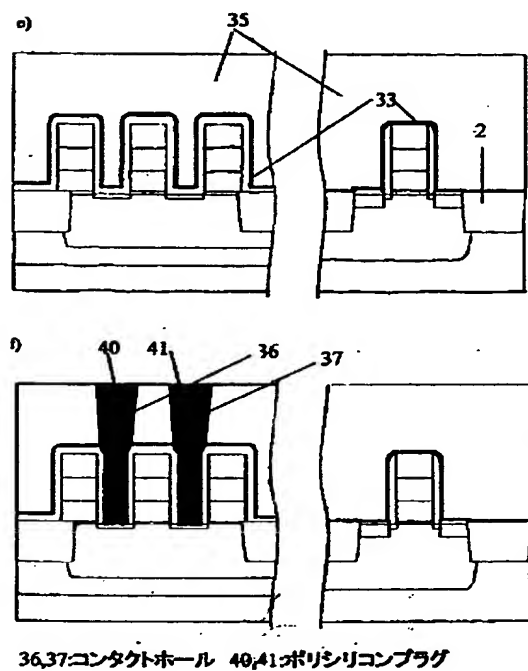
【図1】



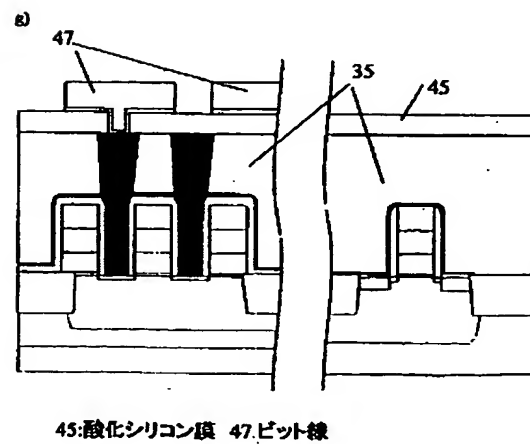
【図2】



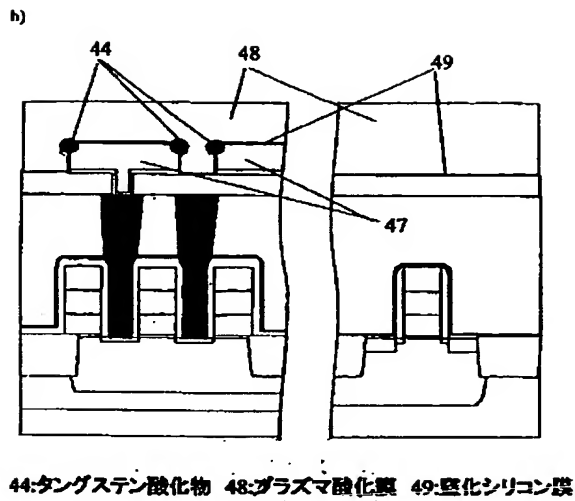
【図3】



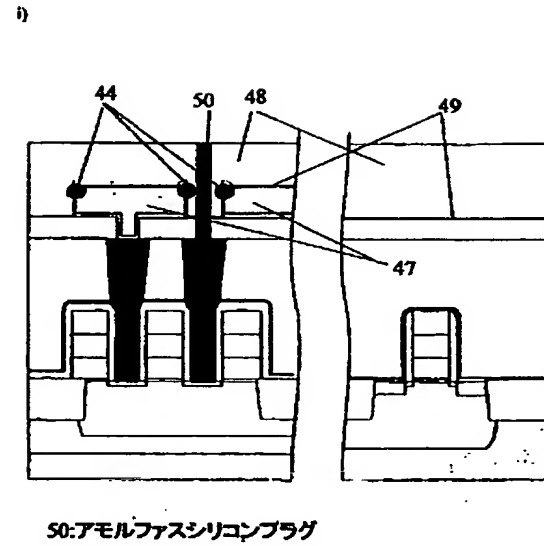
【図4】



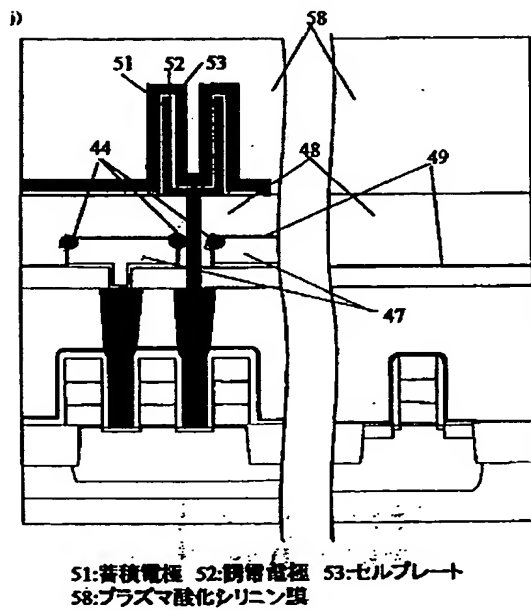
【図5】



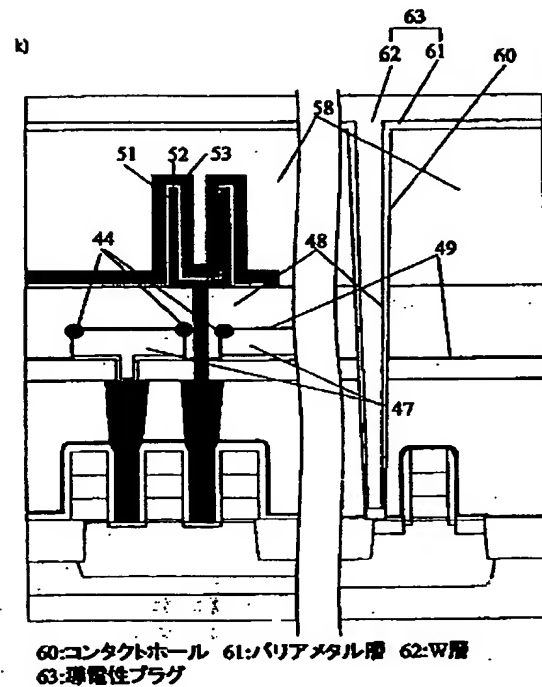
【図6】



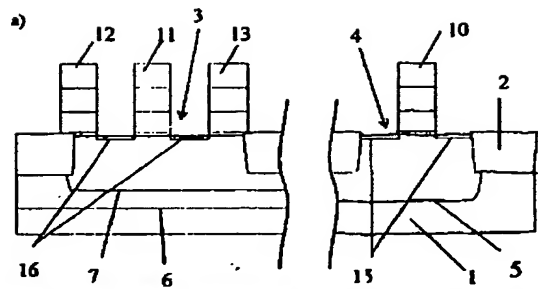
【図7】



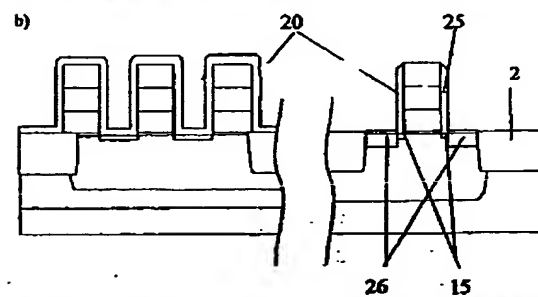
【図8】



【図9】

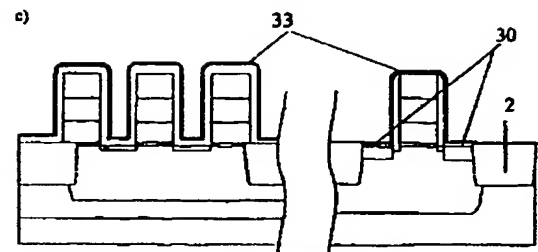


2:素子分離絶縁膜 4:活性領域 6:n型ウェル、7:p型ウェル
10~13:積層構造 15:低濃度部 16:ソース/ドレイン領域

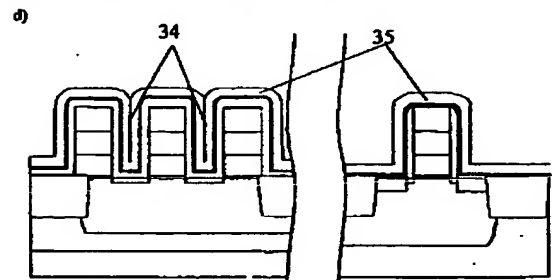


20:窒化シリコン膜 25:サイドウォールスペーサ 26:高濃度部

【図10】

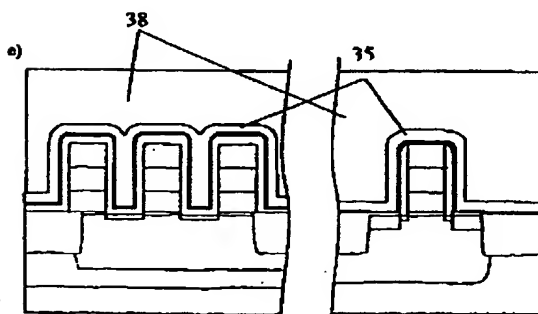


30:コバルトシリサイド膜 33:窒化シリコン膜



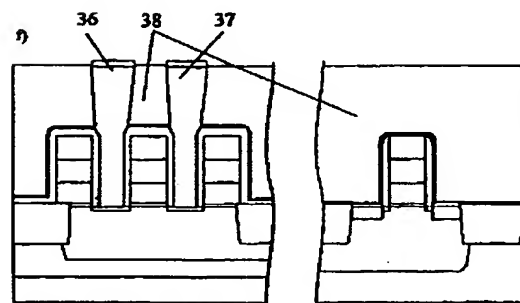
34:ボイド 35:BPSG膜

【図11】

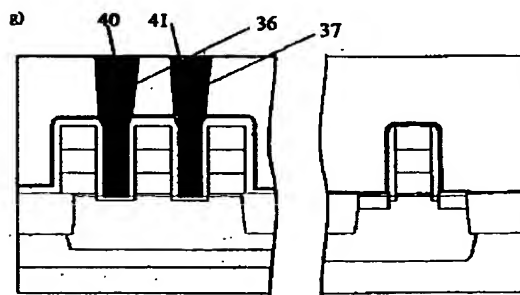


38:BPSG膜

【図12】

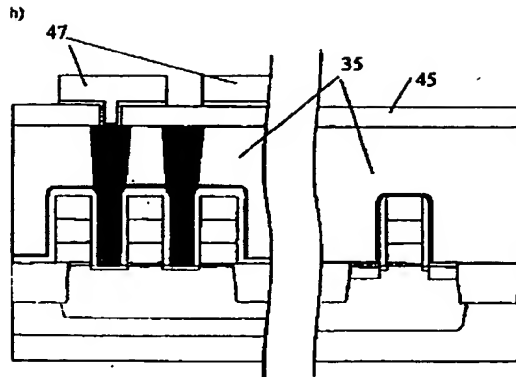


36,37: コンタクトホール



40,41:ポリシリコンプラグ

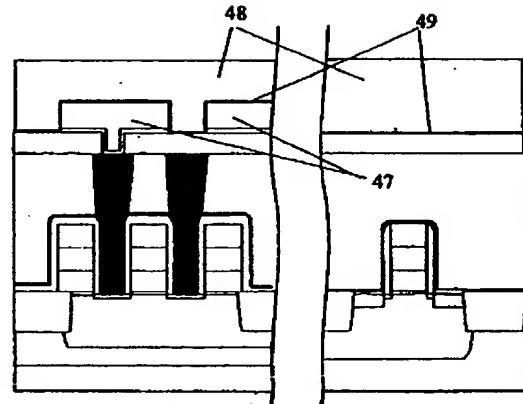
【図13】



45:酸化シリコン膜 47:プラグ

【図14】

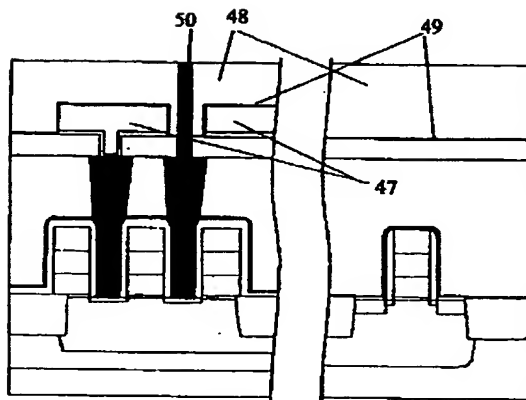
(i)



48:プラズマ酸化膜 49:窒化シリコン膜

【図15】

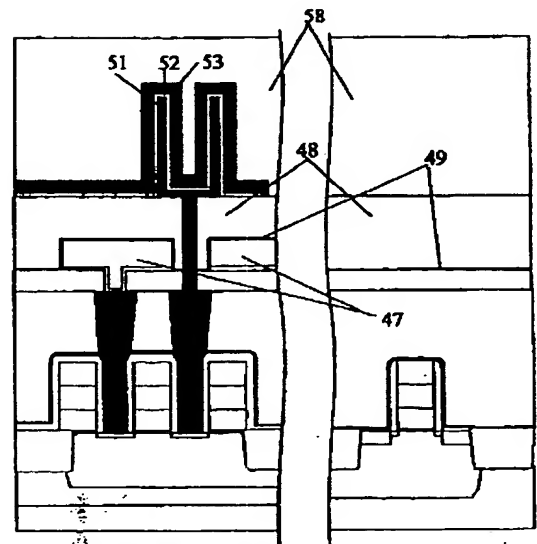
(j)



50:アモルファスシリコンプラグ

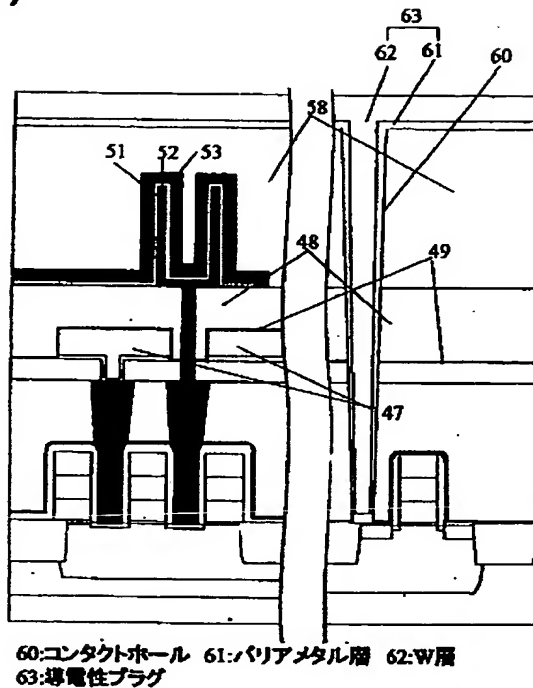
【図16】

(k)

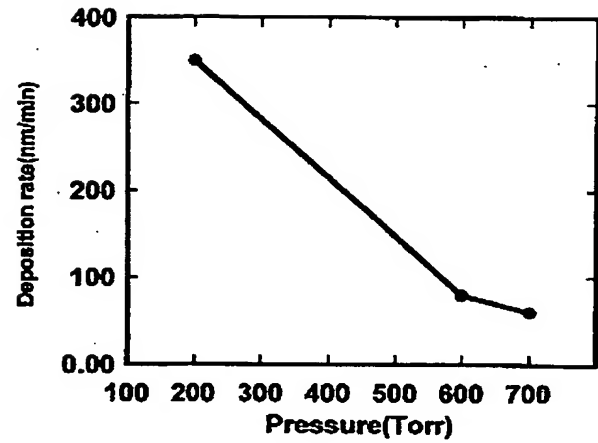
51:蓄積電極 52:読電電極 53:セルプレート
58:プラズマ酸化シリコン膜

【図17】

f)



【図18】



フロントページの続き

Fターム(参考) 5F033 HH04 HH18 HH19 HH28 HH33
 JJ04 JJ19 KK01 KK25 MM07
 NN37 PP06 PP15 QQ13 QQ25
 QQ37 QQ48 QQ70 QQ74 QQ75
 QQ78 RR06 RR15 RR20 SS01
 SS02 SS04 SS11 SS13 SS15
 TT02 TT08 WW00 WW03 WW05
 WW10 XX01 XX28
 5F058 BA05 BA10 BC04 BD02 BD04
 BD07 BD10 BF04 BF25 BF29
 BF32 BF33 BJ02
 5F083 AD24 MA05 MA06 MA17 MA19
 NA01 PR21 PR29 PR33 PR34
 PR40 ZA12